

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 3日

出 願 番 号

Application Number:

特願2002-194842

[ ST.10/C ]:

[ JP2002-194842 ]

出 願 人

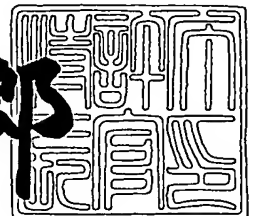
Applicant(s):

ユー・エム・シー・ジャパン株式会社

2003年 3月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3017397

【書類名】 特許願

【整理番号】 UMCP0014

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 千葉県館山市山本 1 5 8 0 番地 ユー・エム・シー・ジ  
ヤパン株式会社内

【氏名】 端 庸児

【特許出願人】

【識別番号】 000128049

【氏名又は名称】 ユー・エム・シー・ジャパン株式会社

【代理人】

【識別番号】 100091269

【弁理士】

【氏名又は名称】 半田 昌男

【手数料の表示】

【予納台帳番号】 007571

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9804304

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、ビットライン対間を短絡することによりビットライン対を中間電位とするプリチャージを行う前に、ハイ側に充電されたビットラインの電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことを特徴とする半導体記憶装置。

【請求項 2】 キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、一端がハイ側の駆動ラインに接続された第 1 のスイッチング素子と、前記第 1 のスイッチング素子の他端と接地電位との間に並列に設けられた強制降圧用キャパシタ及び第 2 のスイッチング素子とを有する強制降圧回路を備え、事前に第 2 のスイッチング素子をオン状態として、前記強制降圧用キャパシタをゼロ電位に保持し、ビットライン対間を短絡することによりビットライン対を中間電位とするプリチャージを行う前に、前記第 1 のスイッチング素子をオン状態として、前記ハイ側の駆動ラインの電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、特に、キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置に関するものである。

【 0 0 0 2 】

【従来の技術】

従来のキャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置では、例えば、特開平 2 - 3 1 6 2 号に開示されているように、1 メモリサイクル中にアクティブ期間とノンアクティブ期間とがあり、ノンアクティブ期間中にビットライン対間の電位のバランスとプリチャージを行う必要がある。また、このときのプリチャージの電圧レベルは、メモリセルに使用されるトランジスタの特

性（しきい値）に応じて電源電圧  $V_{cc}$  の  $1/2$  の電圧より若干低い電圧に設定される。

#### 【0003】

図3は、従来の半導体記憶装置の動作を説明するための信号の波形図であり、（a）はビットライン対の信号波形を示し、（b）はワードラインの信号波形を示している。ノンアクティブ期間に移行すると、プリチャージ指令信号がハイに変化し、プリチャージ制御回路によりビットライン対が導通状態となり、ビットライン対のバランス動作が行われ、ビットライン対の電圧レベルは、図3（a）に示すように、 $V_{cc} \times 1/2$  となりバランス動作が完了する。

#### 【0004】

しかしながら、ビットライン対の最終電圧レベルは、低電圧動作化を図るために、電圧補正回路により、 $V_{cc}/2$  から更に  $\Delta V1$  だけ引き下げられている。

#### 【0005】

##### 【発明が解決しようとする課題】

ところで、上記のダイナミック型のメモリセルを有する半導体記憶装置では、高速アクセスの実現が最大の課題である。しかしながら、上記の従来の半導体記憶装置では、ビットライン対を導通状態としてから、その電圧レベルが  $V_{cc}/2$  となり更に  $\Delta V1$  だけ下げるまでに、 $\Delta t1$  の待ち時間を要するので、低電圧動作化するための時間がかかり、処理速度が遅くなるという問題があった。

#### 【0006】

なお、高速化のために、ビットライン対を導通状態とするタイミングを速くすることも考えられるが、このタイミングを速くすると、図3（b）に示すワードラインの電圧が完全に下がりきらない状態でビットライン対間を導通させることとなり、メモリセルに書き込んだデータが消失してしまうおそれがある。このため、ビットライン対間の導通のタイミングを速くすることはできない。

#### 【0007】

本発明は、上記の事情に基づいてなされたものであり、キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、低電圧動作化を図ると共に、高速動作化を図ることができる半導体記憶装置を提供することを目的とす

るものである。

【0008】

【課題を解決するための手段】

上記目的を達成するための本発明に係る半導体記憶装置は、キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、ビットライン対間を短絡することによりビットライン対を中間電位とするプリチャージを行う前に、ハイ側に充電されたビットラインの電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことを特徴とするものである。

【0009】

また、上記目的を達成するための本発明に係る半導体記憶装置は、キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、一端がハイ側の駆動ラインに接続された第1のスイッチング素子と、前記第1のスイッチング素子の他端と接地電位との間に並列に設けられた強制降圧用キャパシタ及び第2のスイッチング素子とを有する強制降圧回路を備え、事前に第2のスイッチング素子をオン状態として、前記強制降圧用キャパシタをゼロ電位に保持し、ビットライン対間を短絡することによりビットライン対を中間電位とするプリチャージを行う前に、前記第1のスイッチング素子をオン状態として、前記ハイ側の駆動ラインの電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことを特徴とするものである。

【0010】

【発明の実施の形態】

【実施形態の構成】 以下、本発明の一実施形態である半導体記憶装置について図面を参照して説明する。図1は本実施形態であるダイナミックRAMのメモリセルを有する半導体記憶装置の回路図である。本実施形態の半導体記憶装置は、複数本のワードラインWLと、複数組のビットライン対BL、BLバーとが直交して設けられており、ワードラインWLとビットラインBL及びBLバーとの各交点には、一組のトランジスタとキャパシタとを備えるメモリセルMCが配置されている。なお、図1では、図を簡略化するために、一部のメモリセル等のみを表示している。

## 【0011】

また、本実施形態の半導体記憶装置は、ハイ側の駆動ラインS1と電源Vccとの間にもうけられたPチャネルトランジスタP1と、ロー側の駆動ラインS2と接地電位との間に設けられたNチャネルトランジスタN1と、ビットライン対を中間電位にプリチャージするPチャネルトランジスタP5を有するプリチャージ回路10と、プリチャージ回路10によるプリチャージを行う前に予めハイ側の駆動ラインS1の電位を強制的に降圧する強制降圧回路11と、2つのPチャネルトランジスタP2、P3と2つのNチャネルトランジスタN2、N3とを備え、ビットライン対間の微小な電位差を感知して増幅を行うセンスアンプ回路12と、プリチャージ後の駆動ラインを一定値に保持するためのホールド回路13と、を備える。なお、NチャネルトランジスタN4及びPチャネルトランジスタP4は駆動ラインS1、S2間を短絡するためのものである。

## 【0012】

本実施形態の特徴の一つは、プリチャージ回路10によるプリチャージを行う前に、ハイ側の駆動ラインの電位を予め下げる強制降圧回路11を設けたことである。この強制降圧回路11は、一方の導通端子がハイ側の駆動ラインS1に接続された第1のNチャネルトランジスタN10と、第1のNチャネルトランジスタN10の他方の導通端子とアースとの間に並列に接続された第2のNチャネルトランジスタN11及び強制降圧用キャパシタC1と、を有する。

## 【0013】

プリチャージ回路10は、ビットライン対間を短絡することにより、ビットライン対の電位を、強制降圧回路11により降圧された電位と接地電位との中間電位にプリチャージする。

## 【0014】

センスアンプ回路12は、メモリセルの読出し動作によりビットラインに生じた微小な電位差を感知し、メモリセルに格納した正電荷のデータを読み出す側（以下、ハイ側とも称する。）のビットラインBLを駆動ラインS1に接続することによりビットラインBLを電源電位Vccに充電し、ビットラインBLバーを駆動ラインS2に接続することによりビットラインBLバーを接地電位とする。

## 【 0 0 1 5 】

また、メモリセルに格納した負電荷のデータを読み出す側（以下、ロー側とも称する。）のビットラインBLを駆動ラインS2に接続することによりビットラインBLを接地電位とし、ビットラインBLバーを駆動ラインS1に接続することによりビットラインBLバーに充電する。

## 【 0 0 1 6 】

ホールド回路13は、プリチャージ回路10によるプリチャージが行われ、ビットライン対の電位が所定の電位に下がった後、その下がった電位が変動しないように、所定期間、その下がった電位を保持する。

## 【 0 0 1 7 】

また、後述する図2に示す所定のタイミングで、強制降圧制御信号 $\phi 1$ が第1のNチャネルトランジスタN10に供給され、プリチャージ開始信号 $\phi 2$ がプリチャージ回路のPチャネルトランジスタP5に供給され、強制降圧制御信号 $\phi 3$ が第2のNチャネルトランジスタN11に供給される。さらに、所定のタイミングで、制御信号 $\phi 10$ がPチャネルトランジスタP1に、制御信号 $\phi 11$ がNチャネルトランジスタN1に、制御信号 $\phi 12$ がPチャネルトランジスタP4に供給される。なお、センスアンプ回路12、プリチャージ回路10、ホールド回路13及びメモリセルMCは、従来のものと同様であるので、これらの回路の詳細な説明は省略する。

## 【 0 0 1 8 】

〔実施形態の動作〕 次に、本実施形態の半導体記憶装置の動作について、図2を参照して説明する。図2は図1に示す半導体記憶装置の動作を説明するための各部の信号波形を示す図であり、（a）はビットラインBL及びビットラインBLバーの信号波形を示す図、（b）はワードラインWL aの信号波形を示す図、（c）は強制降圧回路10の第1のNチャネルトランジスタN10のゲートに供給される強制降圧制御信号 $\phi 1$ の波形を示す図、（d）はプリチャージ回路12のPチャネルトランジスタP5に供給されるプリチャージ開始信号 $\phi 2$ の波形を示す図、（e）は強制降圧回路10の第2のNチャネルトランジスタN11のゲートに供給される強制降圧制御信号 $\phi 3$ の波形を示す図である。

## 【 0 0 1 9 】

図 2 (d) に示すプリチャージ開始信号  $\phi 2$  がハイになると、これにより P チャンネルトランジスタ P5 がオフ状態となり、ビットライン対 BL, BLバーの短絡状態が開放され、フローティング状態となり、アクティブ期間に移行する。この状態で、図 2 (b) に示すワードライン WL a の電位が上昇して所定の電位に達すると、メモリセルのトランジスタがオン状態となり、メモリセルのキャパシタの電荷に応じて、ビットライン BL の電位が僅かに変化する。このときの電位は、メモリセルに「1」が記憶されているときには僅かに上昇し、「0」が記憶されているときには僅かに下降する。ワードライン WL a のハイ信号が電源電圧  $V_{cc}$  より大きいのは、メモリセルのデータを十分に且つ高速で読み出すためである。図 2 (a) に示すビットライン対の信号波形は、メモリセルに「1」が記憶されている場合、即ちキャパシタに正電荷が蓄えられている場合を示している。メモリセルのトランジスタがオン状態となることにより、メモリセルのキャパシタの電荷が放電されてハイ側のビットライン BL の電位が僅かに上昇する（約 200 mV）。このように僅かしか上昇しないのは、キャパシタの容量に比べてビットラインの容量がはるかに大きいからである。なお、ビットライン BLバーの電位は、接続されているメモリセルのトランジスタがオフ状態のままであるので、変化しない。

## 【 0 0 2 0 】

センスアンプ回路 12 は、この僅かな電位差を感知してビットライン対を駆動ライン S1, S2 に接続し、ビットライン対を所定の電位（+3 V、-3 V）に増幅する。また、ワードラインがハイになっているため、増幅されたビットライン BL, BLバーの電位は、メモリセルのキャパシタに電荷として再度蓄えられる。

## 【 0 0 2 1 】

この後、強制降圧制御信号  $\phi 1$  がオンとなる前のアクティブ期間内の適当なときに、図 2 (e) に示す強制降圧制御信号  $\phi 3$  が N チャンネルトランジスタ N11 に供給され、N チャンネルトランジスタ N11 がオン状態となる。この結果、キャパシタ C1 の電荷は N チャンネルトランジスタ N11 を介して放電される。この状態で、

ワードラインWL aの電位が駆動ラインの電位よりメモリセルのトランジスタの $V_t$ （しきい値電圧）以下の電位に下がったとき、或いはその時点より若干遅れて、強制降圧制御信号 $\phi 1$ をハイにする。強制降圧制御信号 $\phi 1$ をこのようなタイミングでハイにするのは、次の理由からである。メモリセルに「1」が書き込まれているときには、ビットラインBLも同電位であり、その時点で既にワードラインWLが駆動ラインの電位より $V_t$ 以下の電位に下がっているため、 $\Delta V$ は $V_t$ の範囲内で降圧することが可能でありデータ消失がないためである。

## 【 0 0 2 2 】

強制降圧制御信号 $\phi 1$ がハイになったことにより、NチャネルトランジスタN10がオン状態となる。これにより駆動ラインS1、及びセンスアンプ回路12により駆動ラインS1に接続されているビットラインBLの電位は、キャパシタC1の値に応じて、図（a）に示すように電源電位から $\Delta V$ だけ電位が下がる。この $\Delta V$ は、使用するメモリセルのトランジスタのしきい値に応じて、このトランジスタがオン状態とならない範囲内のものとする。すなわち、メモリセルのトランジスタの $V_t$ は約0.5V～1.0Vであるので、ビットラインBLの電位は3Vでなくても、2.5Vや2Vであっても、メモリセルのトランジスタはオン状態となることはなく、したがってメモリセルに格納したデータが消失することはない。また、ハイ側のビットラインBLはやがて下げるのであるから、ビットラインBLを早めに下げても、なんらデメリットは発生しない。むしろハイ側のビットラインを早めに引き下げることにより、消費電力の低減に寄与するという効果を奏する。なお、強制降圧制御信号 $\phi 1$ のパルス幅は約5 ns位で十分である。

## 【 0 0 2 3 】

駆動ライン（ビットラインBL）が $\Delta V$ 下がると、プリチャージ開始信号 $\phi 2$ がローとなり、PチャネルトランジスタP5がオン状態となって、ビットライン対BL，BLバー間が短絡され、プリチャージが行われる。

## 【 0 0 2 4 】

図2（a）に示す $\Delta t$ は、プリチャージを開始してから両ビットラインが所定の電位となるまでの待ち時間である。待ち時間 $\Delta t$ の経過後、ビットライン対が所定の電位に到達すると、次の読出し・書き込みが可能となる。なお、ホールド

回路 1 3 は、ビットラインの電位が所定の電位に下がった後、下がった電位が変動しないように、所定期間、この電位を保持する。

## 【 0 0 2 5 】

前述した従来の半導体記憶装置の場合、ビットライン対間を短絡し、電位が中間電位 ( $3 / 2 \text{ V} = 1.5 \text{ V}$ ) になってから、さらに若干、例えば電位を  $1.25 \text{ V}$  に下げているが、中間電位  $1.5 \text{ V}$  から  $1.25 \text{ V}$  に下げるのに時間がかかり、ビットライン対間を短絡してから次にアクセスが可能となるまでに、かなりの待ち時間 ( $\Delta t_1$ ) を要していた。これに対して、本実施形態の場合、ビットライン対間を短絡する前に、予めハイ側のビットラインを  $3 \text{ V}$  から、例えば  $2.5 \text{ V}$  に下げた後で、ビットライン対間を短絡している。これにより、各ビットラインの電位は、ごく短い待ち時間  $\Delta t$  で、目標である中間電位 ( $2.5 / 2 \text{ V} = 1.25 \text{ V}$ ) に達する。待ち時間  $\Delta t$  がこのように短いのは、次の理由からである。従来の半導体記憶装置の場合、ビットライン対間を短絡した後、更に電位を下げるので、両方のビットライン  $B_L$ ,  $B_L$  バーの電位を下げなければならず負荷が大きい。これに対して、本実施形態の半導体記憶装置は、ビットライン対の一方の側、すなわちハイ側のビットライン  $B_L$  だけ引き下げるので、従来の装置に比べて負荷が約半分となるからである。また、本実施形態の場合、予めビットライン  $B_L$  の電位を下げるのは、 $3 \text{ V}$  から  $2.5 \text{ V}$  であり、従来の半導体記憶装置の  $1.5 \text{ V}$  から  $1.25 \text{ V}$  に下げる場合と比べて、より高い電位から引き下げているので、この点でも従来のものに比べてより短時間で目標とする電位に下げることができる。

## 【 0 0 2 6 】

なお、ビットライン対間を短絡したときの電位をビットライン対間の中間電位 ( $1.5 \text{ V}$ ) よりも下げるのは、低電圧化を容易にするためである。すなわち、低電圧化すると、メモリセルに格納した「1」のデータを読み出すときの電位も低くなる。この電位は、従来の  $5 \text{ V}$  から  $3 \text{ V}$  に下がり、最近は、更に  $2.5 \text{ V}$  になっている。メモリセルに格納された「1」を読み出すときには、ビットライン対間を短絡したときの電位が  $1.5 \text{ V}$  であるとする、ワードラインの電位を  $1.5 \text{ V} + V_t$  とする必要がある。今、 $V_t = 0.7 \text{ V}$  であるとする、ワードラ

インの電位を2.2Vまで引き上げないと、メモリセルの「1」を読み出すことができず、低電圧化できない。これに対して、プリチャージ時のビットラインの電位を下げれば、例えば、ビットライン対間を短絡したときの電位が1.25Vのときは、ワードラインの電位が $1.25 + V_t$  (0.7V) = 1.95Vのときに、読出しが可能となり、ビットライン対間を短絡したときの電位が1.5Vのときに比べて、0.25Vだけ低い電圧で動作が可能となり、低電圧化を図ることができる。また、これにより読出し速度の高速化を図ることができる。

## 【0027】

〔実施形態の効果〕 従来の半導体記憶装置では、メモリセルのトランジスタが完全にオフ状態となった後に、ビットライン対間を短絡し、ビットラインが中間電位となった後、さらに電圧補正回路により所定の電位まで引き下げている。このため、ビットラインを所定の電位に引き下げるのに、かなりの時間を要していた。これに対して、上記の本実施形態の半導体記憶装置によれば、ビットライン対間を短絡するだけでなく、積極的に、予めハイ側のビットラインの電位を引き下げておくことにより、ビットライン対間を短絡したときに、ハイ側のビットラインをごく短時間で所定の電位に引き下げることができる。したがって、本実施形態によれば、低電圧動作化を図ると共に、動作の高速化を図ることができる。

## 【0028】

〔他の実施形態〕 なお、本発明は、上記の実施形態に限定されるものではなく、本発明の要旨を変更しない範囲内で種々の変更が可能である。例えば、上記の実施形態では、ビットライン対間を短絡する前に、ハイ側のビットラインの電位を降下させるときに、駆動ラインS1を2つのNチャネルトランジスタN10、N11とキャパシタC1とを介して接地したが、これは2つのPチャネルトランジスタとキャパシタを介して接地するようにしてもよい。

## 【0029】

また、上記の実施形態では、電源電位 $V_{cc}$ が3Vである場合について説明したが、電源電位 $V_{cc}$ は3Vより小さくても、3Vより大きくてもよい。

## 【0030】

更に、本発明は、上記の実施形態に限定されるものではなく、ダイナミック型のメモリセルを有し、ビットラインをプリチャージするものであれば、DRAMだけでなく、どのような半導体記憶装置であってもよい。

【 0 0 3 1 】

【発明の効果】

以上説明したように本発明によれば、次の読出及び書込サイクルに備えるためにプリチャージする前に、ハイ側に充電されたビットラインの電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことにより、プリチャージを行う際に、ビットライン対をごく短時間で所定の電位に引き下げることができ、したがって、低電圧動作化を図ると共に、動作の高速化を図ることができる半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図 1】 本実施形態であるダイナミック RAM を有する半導体記憶装置の回路図である。

【図 2】 本実施形態の半導体記憶装置の動作を説明するための各部の信号波形を示す図であり、(a) はビットライン BL 及びビットライン BL バーの信号波形を示す図、(b) はワードラインの信号波形を示す図、(c) は強制降圧回路 10 の第 1 の N チャンネルトランジスタ N10 のゲートに供給される強制降圧制御信号  $\phi 1$  の波形を示す図、(d) はプリチャージ回路 10 の P チャンネルトランジスタ P5 に供給されるプリチャージ開始信号  $\phi 2$  の波形を示す図、(e) は強制降圧回路 10 の第 2 の N チャンネルトランジスタ N11 のゲートに供給される強制降圧制御信号  $\phi 3$  の波形を示す図である。

【図 3】 従来の半導体記憶装置の動作を説明するための信号の波形図であり、(a) はビットライン対の信号波形を示し、(b) はワードラインの信号波形を示す図である。

【符号の説明】

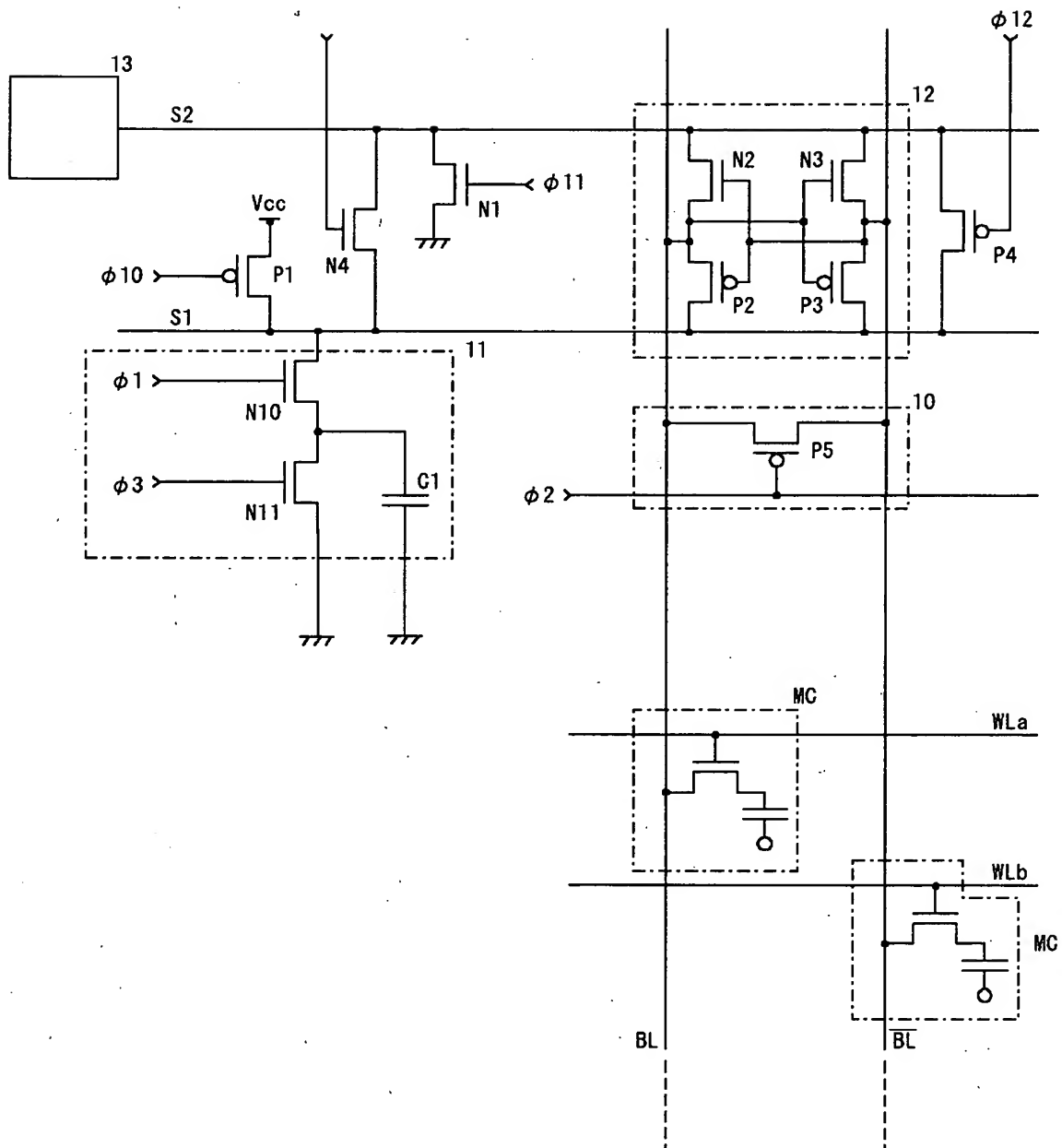
10 : プリチャージ回路、      11 : 強制降圧回路、  
12 : センスアンプ回路、      13 : ホールド回路、  
BL : ビットライン、      WL : ワードライン、      S : 駆動ライン、

MC : メモリセル、 C1 : 強制降圧用キャパシタ

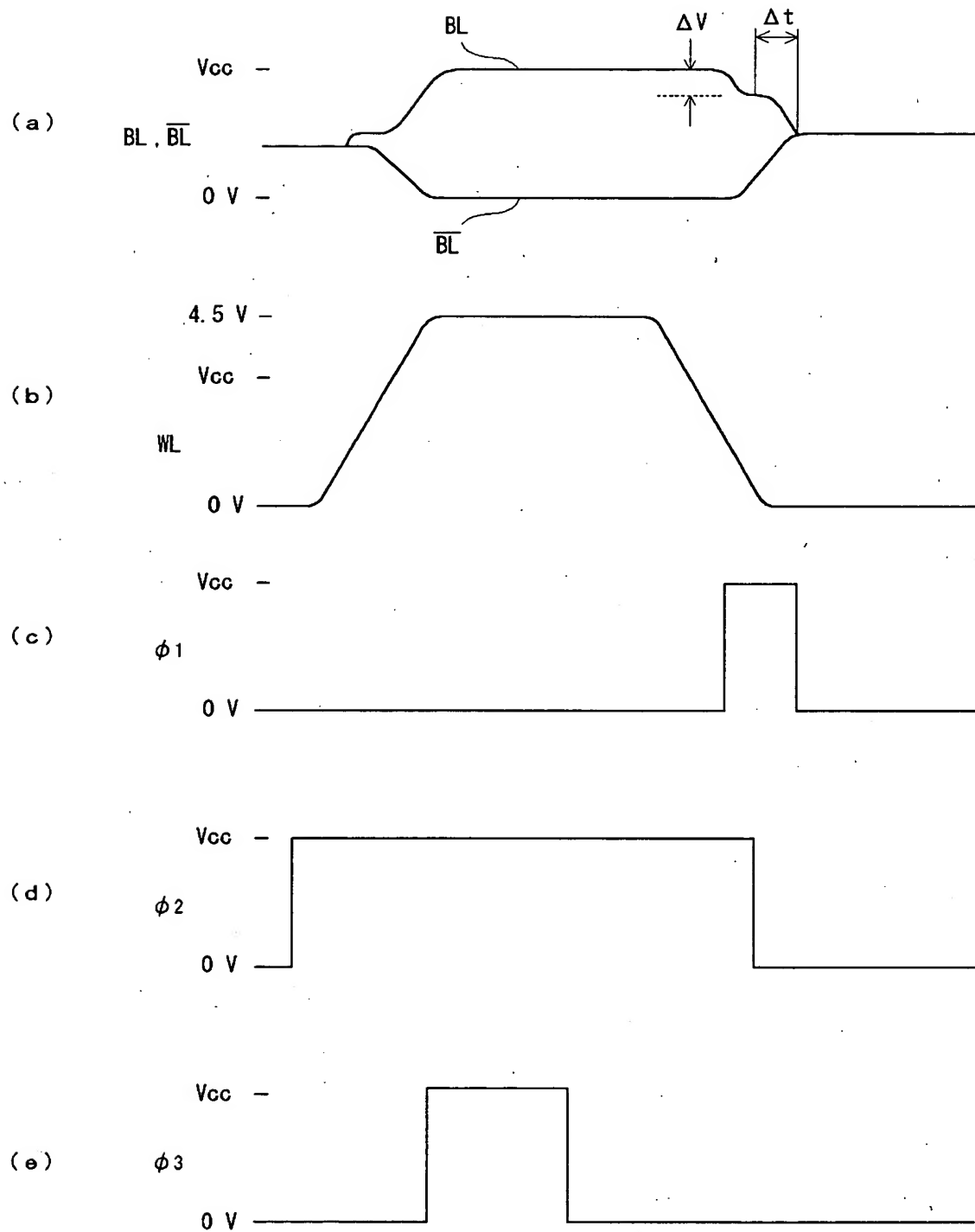
【書類名】

凶面

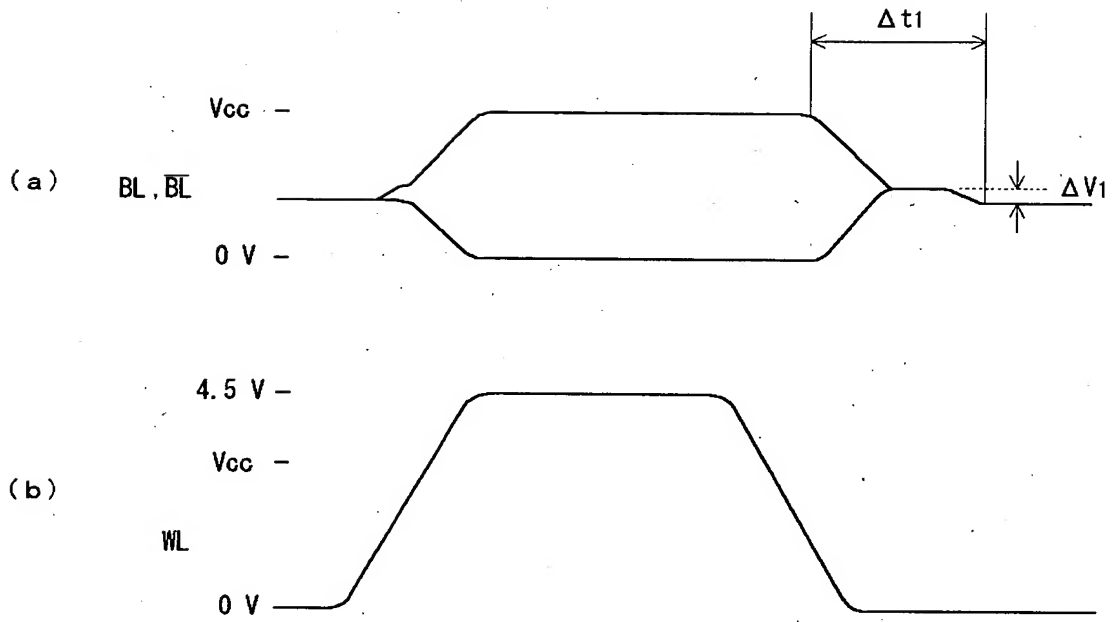
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、低動作電圧化を図ると共に、高速動作化を図ることができる半導体記憶装置を提供する。

【解決手段】 キャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、プリチャージ回路 1 0 により次の読出及び書込サイクルに備えるためにプリチャージする前に、強制降圧回路 1 1 によりメモリセル MC に格納した正電荷のデータをハイ側に充電されたビットライン B L の電位をメモリセルに書き込んだデータが消失ない範囲内で、予め下げておくことを特徴とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2002-194842
受付番号	50200976030
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 7月 4日

<認定情報・付加情報>

【提出日】 平成14年 7月 3日